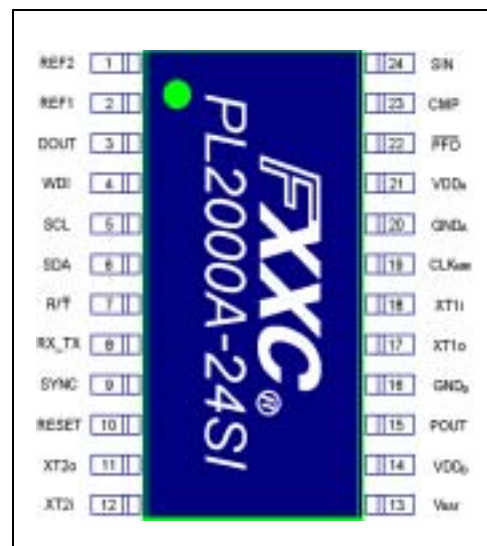


PL2000A

POWER LINE MODEM

0.5 μ m CMOS 数模混合集成电路
直序扩频半双工异步调制解调器
二相相移键控，120KHz载频，
带宽 15KHz，数据速率 500 bps
接收灵敏度：0.5mV_{RMS} (500bps)
15 位伪码长度，可编程同步捕获门限
I²C 串行通信接口
32 Bytes SRAM (电池维护)
可编程实时钟 (秒/分/时/日/月/星期/年)
(电池维护)
上电复位、电压监测电路及看门狗定时器
单 +5V 供电，I/O 口带 1500V ESD 保护
工业级温度标准：-40 $^{\circ}$ C ~ +85 $^{\circ}$ C
SOP24 封装

**概 述**

PL2000A 是专为电力线通讯网络设计的半双工异步调制解调器，是PL2000 的升级产品。它仅由单一的 +5V 电源供电，以及一个外部的接口电路与电力线耦合。PL2000A 除具备原有系统基本的通讯控制功能外，还内置了五种常用的功能电路：实时钟电路，32 Bytes SRAM，电压监测，看门狗定时器及复位电路，它们通过标准的 I²C 接口与外部的微处理器相联，其中实时钟与32 Bytes SRAM在主电源掉电的情况下可由3V备用电池供电继续保持工作。PL2000A 是特别针对中国电力网恶劣的信道环境所研制开发的低压电力线载波通信芯片，低信噪比数据传输性能比 PL2000 有了大幅度的提高，同时将数据传输速率提升一倍。由于采用了直接序列扩频、数字信号处理、直接数字频率合成等新技术，以及大规模数字 / 模拟混合 0.5 μ m CMOS 工艺制作，所以在抗干扰及抗衰落性能以及国内外同类产品性能价格比等方面有着更加出众的表现。

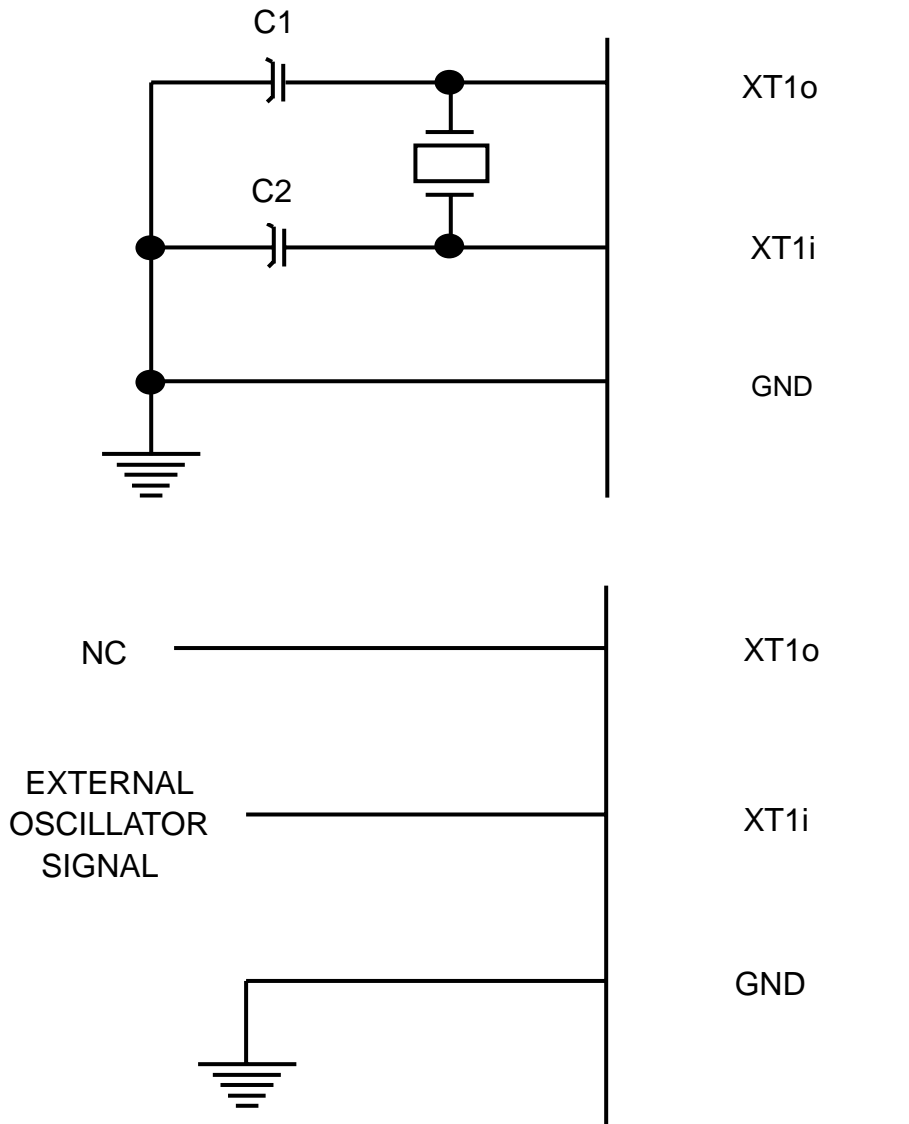
管脚描述

VCC _A	模拟部分电源, +4.8 – 5.0V
VCC _D	数字部分电源, +5.0V
V _{BAT}	备用电源, +3.0 – 3.6V
GND _A	模拟地
GND _D	数字地
Sin	滤波信号输入。当混频信号经过带通滤波后由此管脚进入内部限幅放大器
CMP	内部电源掉电监测比较器输入端
PFO	电源掉电指示输出端。PL2000A 除提供内部电源电压监测 / 复位电路外还额外提供一个模拟电压比较器, 它的一个输入端接片内的 1.7V 电压基准源, 另一个输入端即 CMP, 它的输出端即 PFO
CLK600	600KHz 本振输出端。该管脚输出 600KHz 方波信号, 作为外接模拟混频器 MC3357/MC3361 的本振输入信号
Dout	内部限幅放大器输出端 (片内与数字部分的 A/D 相连)
XT1o	9.6MHz 主晶体振荡器输出端
XT1i	9.6MHz 主晶体振荡器输入端
WDI	看门狗计数器清零输入端。当 WDI 持续 436mS 以上无高低电平变化, 将导致看门狗计数器溢出复位
RESET	上电复位及看门狗计数器溢出复位输出端 (高电平有效, 持续时间 218mS)。当电源电压低于 4.65V 时, RESET 脚持续输出高电平
SCL	I ² C 串行总线时钟输入端
SDA	I ² C 串行总线数据输入/输出端。
R/ \bar{T}	半双工收发控制输入端。(高电平收/低电平发)
RX_TX	半双工数据收发输入/输出端
Ref1	参考电压基准 1
Ref2	参考电压基准 2
XT2o	32.768KHz 晶体振荡器输出端
XT2i	32.768KHz 晶体振荡器输入端
SYNC	数据同步端 (HEAD)
PSK_OUT	数字信号发送输出端。

说明：

- 1、 XT1i, XT1o : 9.6MHz 主晶体振荡器输入 / 输出端。
XT1i、XT1o 分别为片内反相放大器的输入端和输出端, 外接晶体可以组成晶体振荡器。PL2000A 主振荡器所需时钟频率为 9.6MHz。电路连接如图所示, 为使振荡器工作更加可靠, 电容 C1、C2 一般用 10-30pF 之间选择。若使用外部时钟, 可直接从 XT1i 输入 9.6MHz 的时钟信号。
- 2、 XT2i/XT2o : 32.768KHz 实时钟晶体振荡器输入 / 输出端。

XT2i、XT2o 分别为片内反相放大器的输入端和输出端，外接晶体可以组成晶体振荡器。为使振荡器工作频率更加稳定可靠，可通过调节外接电容的容值来获得。一般取值可在 2-10pF 之间选择。若使用外部时钟，可直接从 XT2i 输入 32.768KHz 的时钟信号。



I²C接口时序：

1. 管脚说明

SDA串行地址/数据输入/输出端

这是一个双向传输端，用于传输地址和数据进入 PL2000A, 以及从 PL2000A 发送数据至外部 MCU 或其它控制器件。对于一般的数据传输，仅在 SCL 为低期间 SDA 才可以变化。在 SCL 为高期间变化，留给指示 START (开始) 和 STOP (停止) 条件。

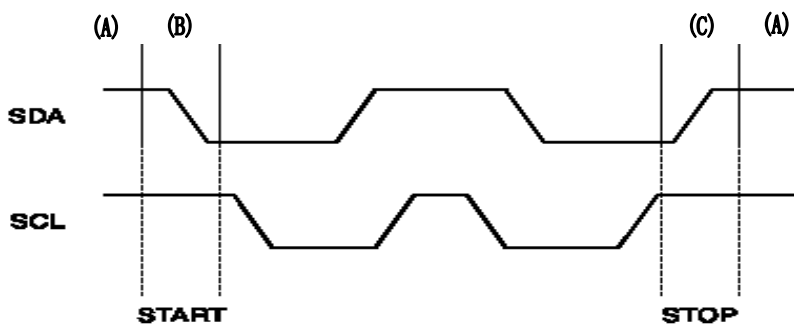
SCL 串行时钟端

此为时钟输入端，用于同步进入 PL2000A 和从 PL2000A 发出的数据。

2. I²C 时序描述

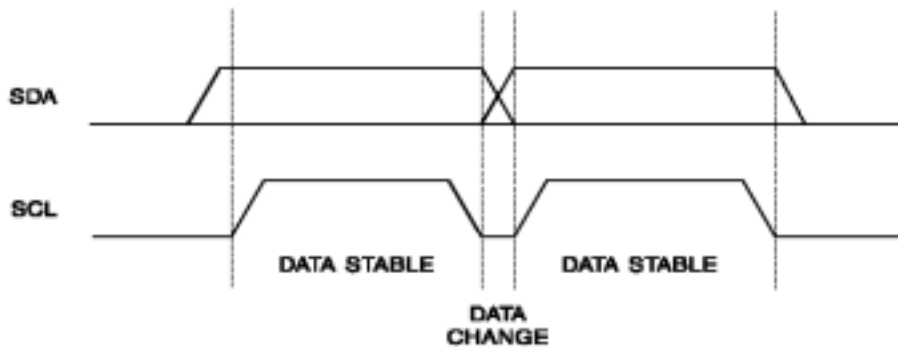
PL2000A 支持双向两线总线和数据传输协议。当器件处于传送数据到总线状态时，我们称之为发送器，当器件处于接受数据状态时则称为接受器。总线必须由一个主器件控制，主器件可以是 MCU 或其它设备，它产生串行时钟 (SCL)，控制总线存取，并且产生开始位 (START) 和停止位 (END)，而 PL2000A 作为从器件工作。主器件和从器件都能工作于发送器或者接受器的状态，但何种方式有效由主器件决定。为明确起见，除非另作说明以后所指的从器件均代表 PL2000A。

总线数据传输开始 / 停止



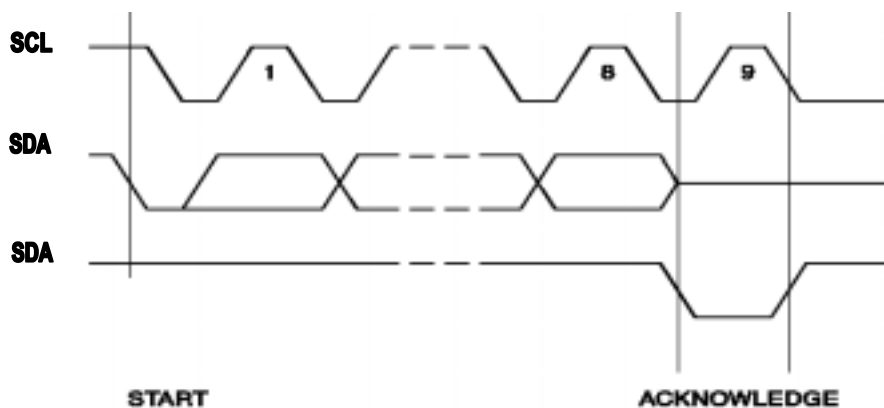
- 总线不忙 (A) — 数据和时钟线保持高
- 开始传送数据 (B) — 当时钟 (SCL) 为高，SDA 线由高到底的变化将产生起始位 (Start Bit)，所有的命令必须在产生起始位以后进行。
- 停止数据传送 — 当时钟 (SCL) 为高，SDA 线由低到高的变化将产生停止位 (End Bit)，所有的命令必须在产生停止位以前结束。

数据有效



- 在起始位后，时钟信号的高电平周期期间，当数据线是稳定时，数据线的状态表示数据线有效。
- 数据线上的数据改变必须发生在时钟信号为低电平周期期间，每位数据需一个时钟。
- 每次数据的传输必须在起始位后开始，在停止位前结束。在开始和停止条件之间数据字节的传输数目由主器件决定。

输出应答

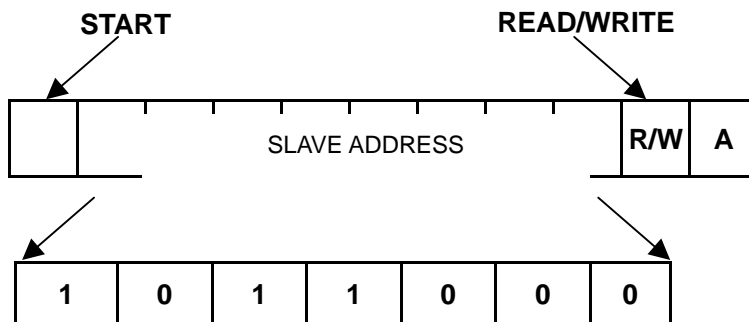


- 在每一个字节被接收后，接受器件必须产生一个确认位（ACK）当接受器准备接收下一字节，或否定位（NACK）当接受器准备结束接收状态。
- 主器件必须产生一个与此确认位相应的额外时钟脉冲。
- 通过在相对应于确认位时钟脉冲的高电平期间拉 SDA 线为稳定的低电平，可产生确认位（或置 SDA 线为稳定的高电平，产生否定位）。
- 若不在从器件输出的最后一个字节中产生确认位，主器件必须发一个数据结束信号给从器件（即产生否定位）。在这种情况下，从器件会保持数据线为高电平，使得主器件能产生停止位以便结束本次总线数据传输。

从器件代码

- 产生起始位以后，总线主器件必须对 PL2000A 发送七位器件代码（1011000）组成的从器件地址，以便选中PL2000A 并使得总线上的其它从器件处于非选中状态并让出总线控制权。
- 从器件地址的第八位 R/W 位的状态决定主器件对 PL2000A 进行何种操作（读或写）。
- PL2000A 一直监视总线上与它相应的从器件地址，如果从器件地址相符并且器件不忙，则 PL2000A 产生一个确认位。

操作	器 件 码	读/写
读	1 0 1 1 0 0 0	1
写	1 0 1 1 0 0 0	0



地址字节

- 地址字节是由主器件发出的八位地址码，用来寻址 PL2000A 内部的存储寄存器。
- PL2000A 内部寄存器地址空间的分配如下

地址字节内容	说明
00000000—00011111 (00H-1FH)	SRAM
01000000 (40H)	秒
01000001 (41H)	分
01000010 (42H)	时
01000011 (43H)	日
01000100 (44H)	月
01000101 (45H)	星期
01000110 (46H)	年
01001000 (48H)	捕获门限
01001111 (4FH)	写保护

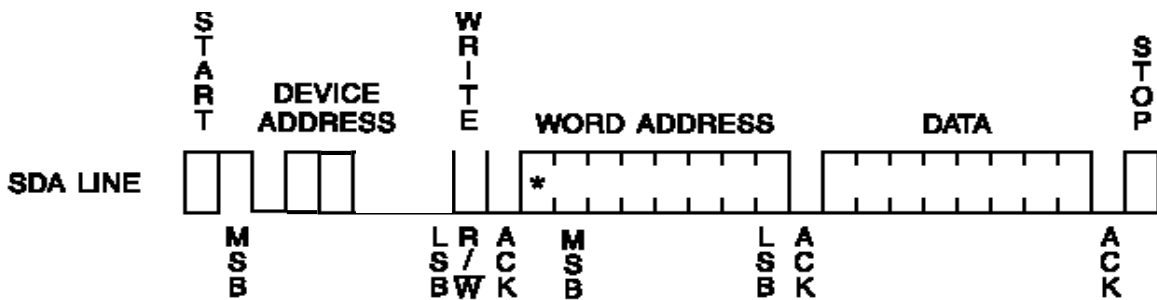
PL2000A 内部寄存器地址空间从 00H-FFH 共计 256 个字节，除上表所列的以外其余均为无效地址，对无效地址写入的数据将会被丢弃，从无效地址读出的数据没有实际意义。为保持程序代码的兼容性，我们建议不要使用无效地址（因为它可能会被 PL210X 系列的其它版本芯片使用），以便软件可以被不加修改的直接移植到 PL210X 系列的其它系统中。

写保护

- PL2000A 上电复位后，写操作是被禁止的（4FH 字节的 bit7 被自动清零），整个地址空间内除写保护字节可读/写寻址外，其余地址只能做读寻址。
- 若要打开写保护，需使写入写保护地址字节的数据最高位为1。

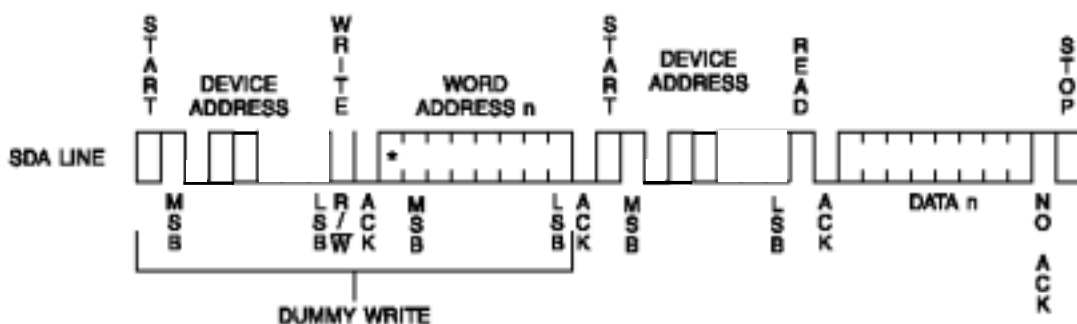
3. 写操作

写单字节数据



- 在主器件发出起始位以后，主器件发送七位器件代码，以及一位低电平的读写位到总线上，这指示 PL2000A 将被寻址，一个地址字节将跟在第九个时钟周期由 PL2000A 产生的确认位之后。由主器件发送的地址字节会被写入到 PL2000A 的地址指针寄存器。
- 主器件接收来自 PL2000A 的另一个确认信号以后，将数据字节发送到总线上，PL2000A 接收它并将其写入到被地址指针寻址的寄存器中。
- PL2000A 再次发出确认信号，然后主器件产生停止位结束本次操作。
- 任何时候，如果从器件在应该发出确认信号时没有给出确认应答，则表示 PL2000A 没有正确接收到起始位并进入命令准备状态，这需要主器件重新发送操作命令。

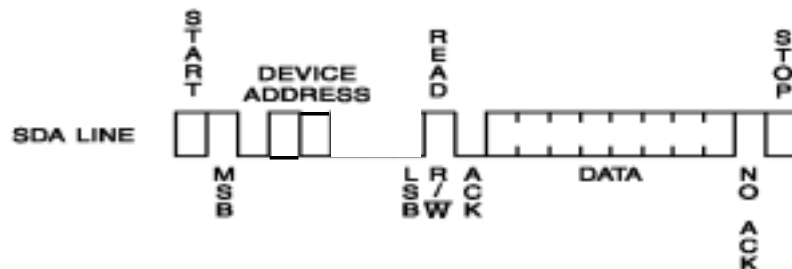
写多个字节数据



- 用与写单字节数据相同的方式把七位器件代码，以及一位低电平的读写位发送到总线上，随后是地址字节和第一个数据字节，但代替产生停止条件，主器件可以连续发送最多达 256 个数据字节到 PL2000A ,这些字节将会被写入到相应的寄存器中。
- PL2000A 每接收一个数据字节以后，地址指针在内部会自动增 1。
- 如果主器件在产生停止位以前要发送的数据超过有效的地址空间，数据将会被丢弃。当 PL2000A 内部的地址指针寄存器累加到 255(0FFH) 后，会自动回零。

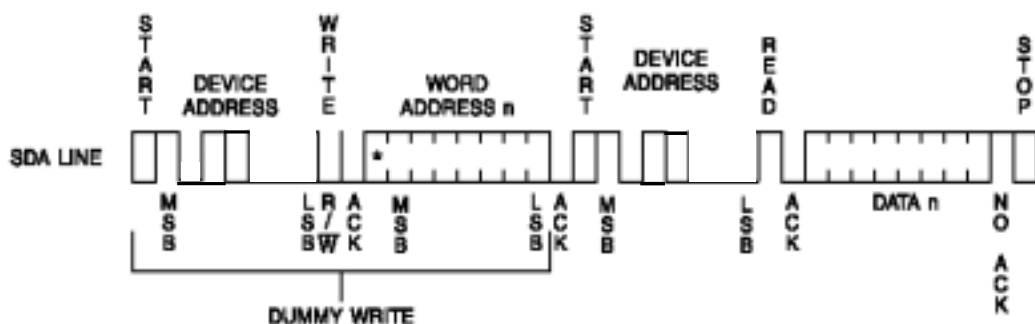
4. 读操作

读当前地址内容



- PL2000A 内部的地址指针寄存器保持被存取的最后—个数据字节的地址，并在片内自动加1。如果以前存取（读或写操作均可）的地址为 n，下一个读操作从 n+1 地址中读出数据。但对于地址指针寄存器的加1操作相对与读/写时序是不同的，当主器件做连续读操作时是先读后加，连续写操作时是先加后写（第一个被写入的数据字节在写周期前没有地址加操作）。
- 当 PL2000A 接收到R/W位为1的情况下，PL2000A 发送一个确认位并随后送出8位数据字节，然后主器件不确认传递（产生 NACK），再发送停止位结束本次操作。

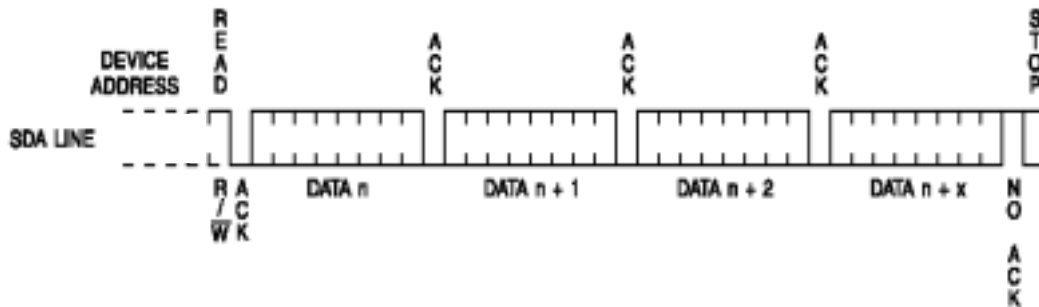
读随机地址内容



- 这种方式可以让主器件读取 PL2000A 片内任意地址的寄存器内容，要完成这种方式的读操作需要首先设置片内地址指针寄存器，这可通过将地址字节作为写操作的一部分送给 PL2000A 来完成。

- 发送了地址字节后，主器件在确认位后面立即产生一个起始位，用这种方式结束写操作并开始另一个读操作。
- 主器件再次发出器件代码，并使 R/W 位为“1”，PL2000A 将发出确认位并随后发送由上次地址写操作设置的地址指针寻址的8位数据字节，然后主器件不确认传递（产生 NACK），再产生一个停止位结束本次操作。

读顺序地址的内容



- 读顺序地址内容的方式与读随意地址内容的方式以相同的方式启动，PL2000A 发送完第一个数据字节以后，主器件发出一个确认位 (ACK)，这样 PL2000A 将会发送下一个顺序地址的8位数据字节，直至主器件发出 NACK 或停止位。
- 为提供这种读方式，PL2000A 包含的地址指针寄存器在每次操作完成以后自动加1。
- 利用这一特性，可以在一次操作期间连续顺序地读出整个存储器的内容。但不在有效地址空间内的数据字节会被 FFH 取代。

片内寄存器地址 / 功能描述：

SRAM：

(00H-1FH) 共计 32 个字节，在主电源掉电后可由备用电池继续供电，保持数据不丢失。

实时钟：

秒 (40H)	二进制(BIN) 表示，0-59 表示零秒至五十九秒。
分 (41H)	二进制(BIN) 表示，0-59 表示零分至五十九分。
时 (42H)	二进制(BIN) 表示，0-23 表示零点至二十三点。
日 (43H)	二进制(BIN) 表示，1-31 表示一号至三十一号。
月 (44H)	二进制(BIN) 表示，1-12 表示一月至十二月。
星期 (45H)	二进制(BIN) 表示，1-6 表示周一至周六，0 表示星期日。
年 (46H)	二进制(BIN) 表示，0-99 表示 2000 年至 2099 年。

特殊寄存器：

捕获门限 (48H) 扩频伪码同步捕获门限，上电复位缺省值为 30H。
写保护 (4FH) 写保护字节的最高位为“0”使能写保护，禁止对整个地址空间（除写保护字节本身）的写操作，写保护字节的最高位为“1”取消写保护。其它位保留供功能扩展使用。写保护字节上电复位缺省值为 30H。

极限参数：

最高结温：.....	150	工作温度：.....	-40 ~ +85
电源电压：.....	7V	焊接温度 (3S)：.....	+300
数字输入：.....	-0.7V ~ VCC	储存温度：.....	-65 ~ +165
最高时钟频率：.....	20MHz	最大耗散功率：.....	0.65W

电 特 性

表 1 电 特 性

特 性	符号	条 件 -20 T _A 80)	规范值		单位
			最小	最大	
输出高电平	V _{OH}	V _{DD} =4.5V I _{OH} =-20 μ A V _{IH} =3.15 V _{IL} =0.8V	4.2	-	V
		V _{DD} =5.5V I _{OH} =-4.0mA V _{IH} =3.15 V _{IL} =0.8V	3.5	-	
输出低电平	V _{OL}	V _{DD} =4.5V I _{OH} =20 μ A V _{IH} =3.15 V _{IL} =0.8V	-	0.2	
		V _{DD} =5.5V I _{OH} =4.0mA V _{IH} =3.15 V _{IL} =0.8V	-	0.45	
输入高电平	V _{IH}	V _{DD} =5.5V	3.15		
输入低电平	V _{IL}	V _{DD} =4.5V		0.8	
输入漏电流	I _I	V _I =V _{DD} 或 GND	-	± 10.0	μ A
静态电源电流	I _{DD}	V _I =V _{DD} 或 GND, I _O =0 μ A	-	800	
输入电容	C _I ¹⁾	T _A =25	-	10	PF
输出电容	C _O ¹⁾		-	10	

温度范围

Blank = Commercial = 0°C to +70°C

I = Industrial = -40°C to +85°C

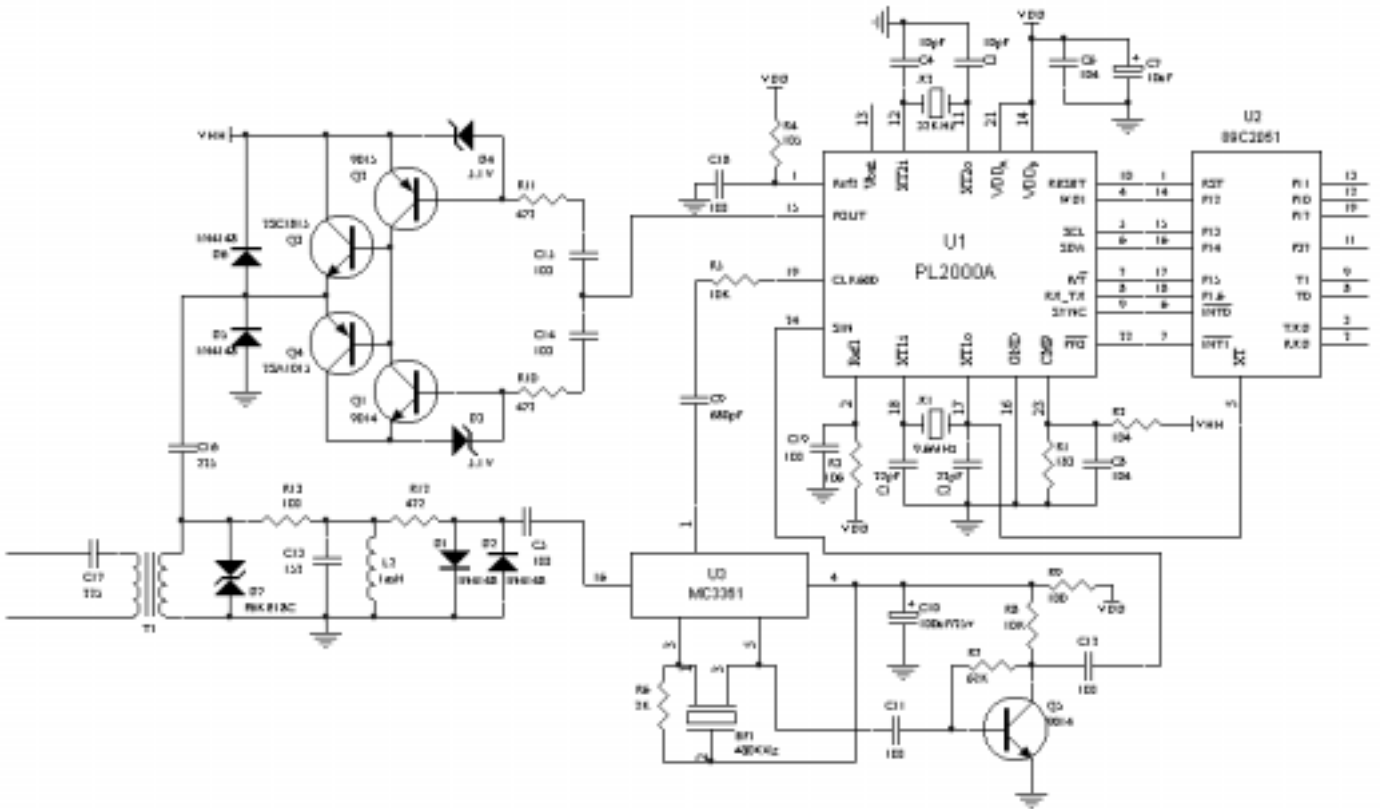
封装类型

P = 24-Lead Plastic DIP

S = 24-Lead SOC

Q = 44-Lead PQFP

PL2000A 典型应用图：



4、对 PL2000A 芯片的数据接收操作步骤：

- a、置 R/ƒ 为“1”、接收态；
- b、在 SYNC 对应引脚产生中断时，将 RX_TX 管脚比特数据移位到 C（寄存器）并保存；
- c、等待下一次 SYNC 中断，返回 b 步骤
- d、直到按规约接收一次完整帧；
- e、进行数据处理；

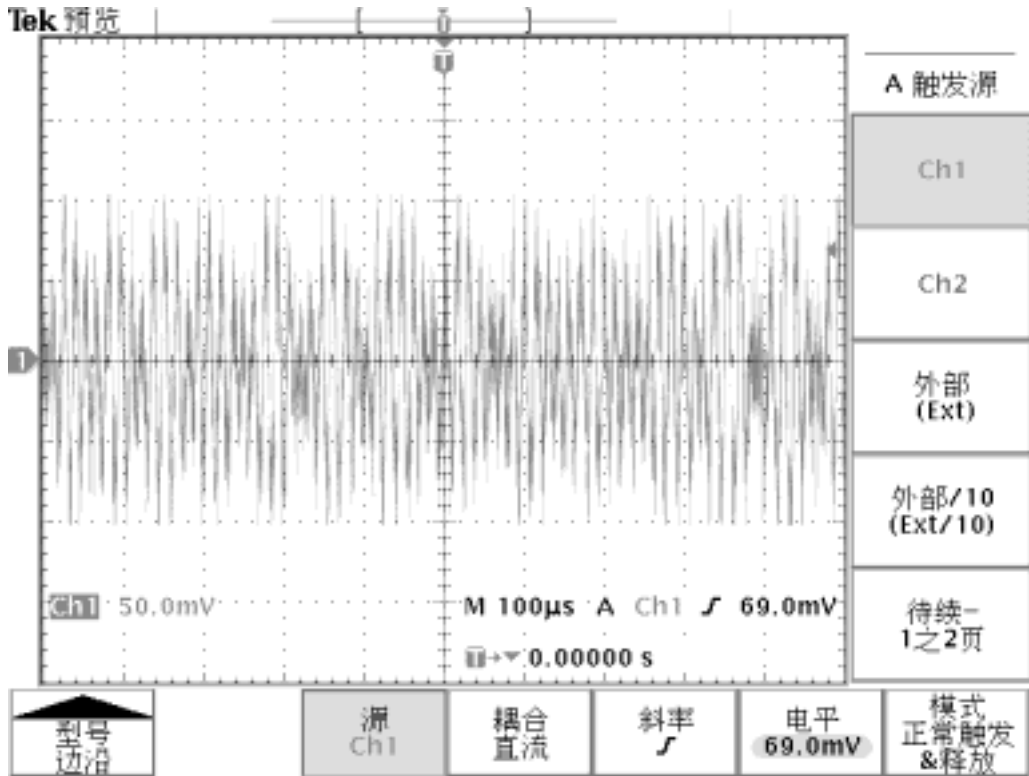
5 同步接收数据过程：

R/ƒ 为“1”、接收态，SYNC 发生下降沿产生中断后，将 RX_TX 状态读入缓冲字节；

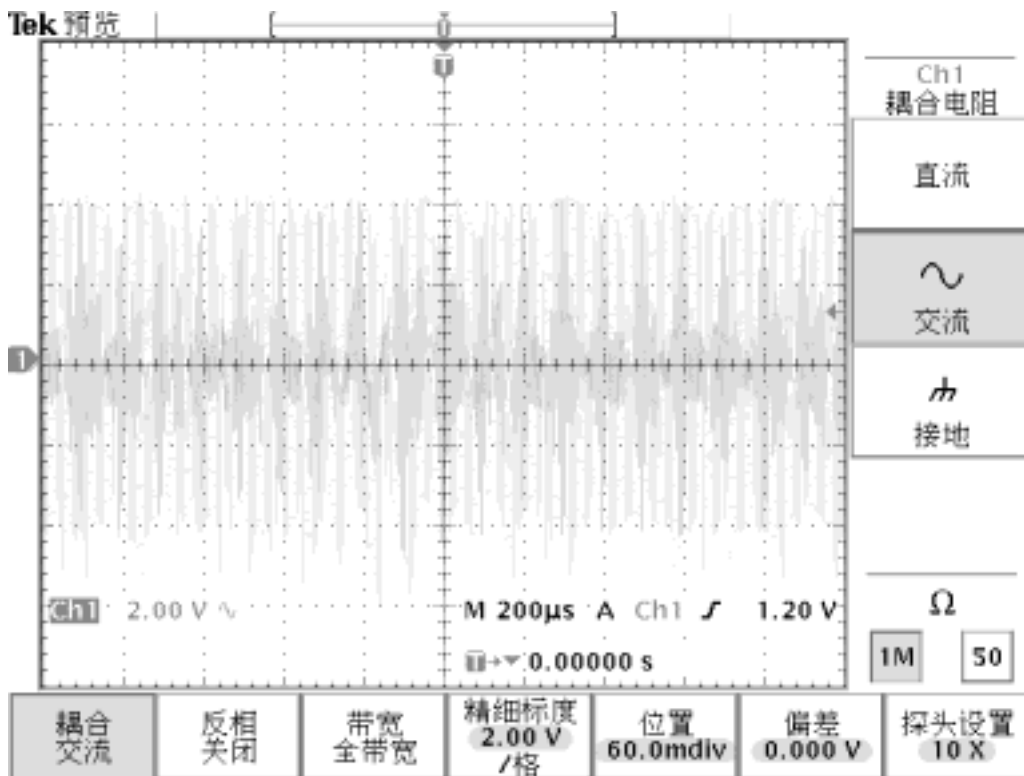
在 16Bit 的滑动窗口中搜索同步帧，当搜索到 0x09、0xaf 同步帧头后，表示已经进入同步状态；

随后数据为通讯数据体，接收数据每 8Bit 依次还原为一个有效字节数据，由规约进行解释，直至接收完成。

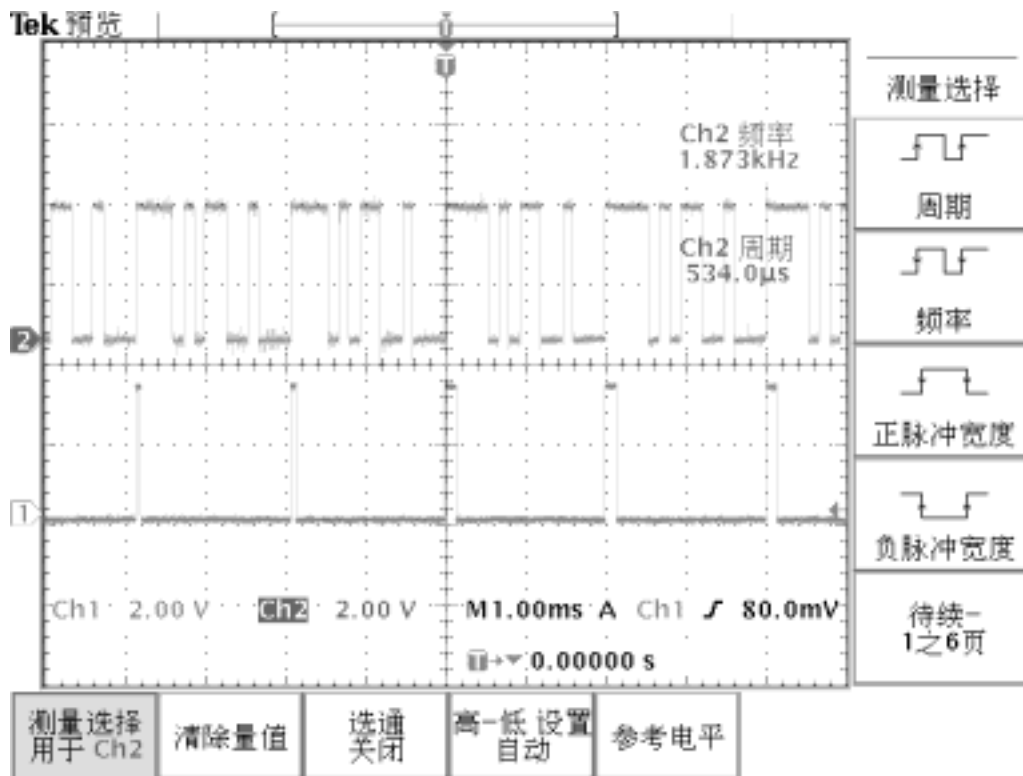
试验数据:



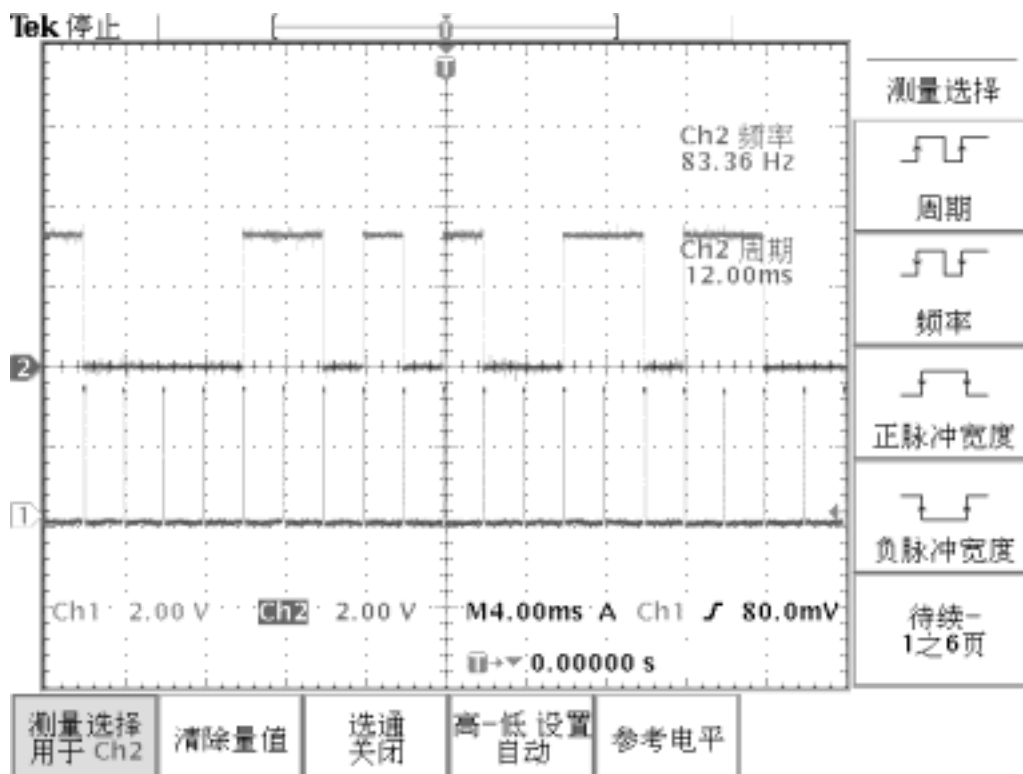
通道1为 PL2000A DEMO 板耦合线圈输入信号 (未施加干扰源)。



通道1为 PL2000A DEMO 板耦合线圈输入信号 (施加宽带干扰源)。



通道 1 为 SYNC，通道 2 为接收端伪码输出，我们可以清楚地看到后三个同步后的输出。



通道 1 为 SYNC，通道 2 为数据解调输出。