

AD73360

通用CMOS 6通道模拟输入前端

一、概述

1.1 一般说明

AD73360是一个六通道模拟输入前端处理器,适用于通用领域如工业电力计量或多通道模拟输入。其特点是具有六个16位A/D转换器,每个转换器在声频信号带宽内的信噪比为70dB。另一个特点是具有一个可编程的输入增益放大器(PGA),增益可设置为从0dB至38dB的八个级别。

AD73360尤其适用于工业电力计量,因为每个通道均同步采样以确保通道间几乎不存在时间(相位)延迟。AD73360的所有通道都具有低群延迟(group delay)转换的特点。

片内基准电压允许AD73360用单电源工作,该基准可被编程以适应3V或5V电源工作。

器件的采样速率可用4个不同的设置值编程为64k、32k、16k和8kHz采样速率(主时钟为16.384MHz)。串行口(SPORT)使得单个或级联器件可很容易地与工业标准的DSP接口。SPORT传输速率也可编程以满足快速和慢速DSP接口要求。

AD73360具有28脚SOIC封装和44脚LQFP封装。

1.2 特点

- 六个16位A/D转换器
- 可编程的输入采样频率
- SNR为75dB
- 最大采样速率为64ksps/s
- 低群延迟(每个ADC通道的典型值为25 μ s)
- 可编程的输入增益
- 灵活的串行口,可允许多个器件级联在一起
- 单电源工作(+2.7V至+5.5V)
- 片内基准
- 28脚SOIC和44脚LQFP封装

1.3 应用领域

- 通用模拟输入
- 工业电力计量

P&S 武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

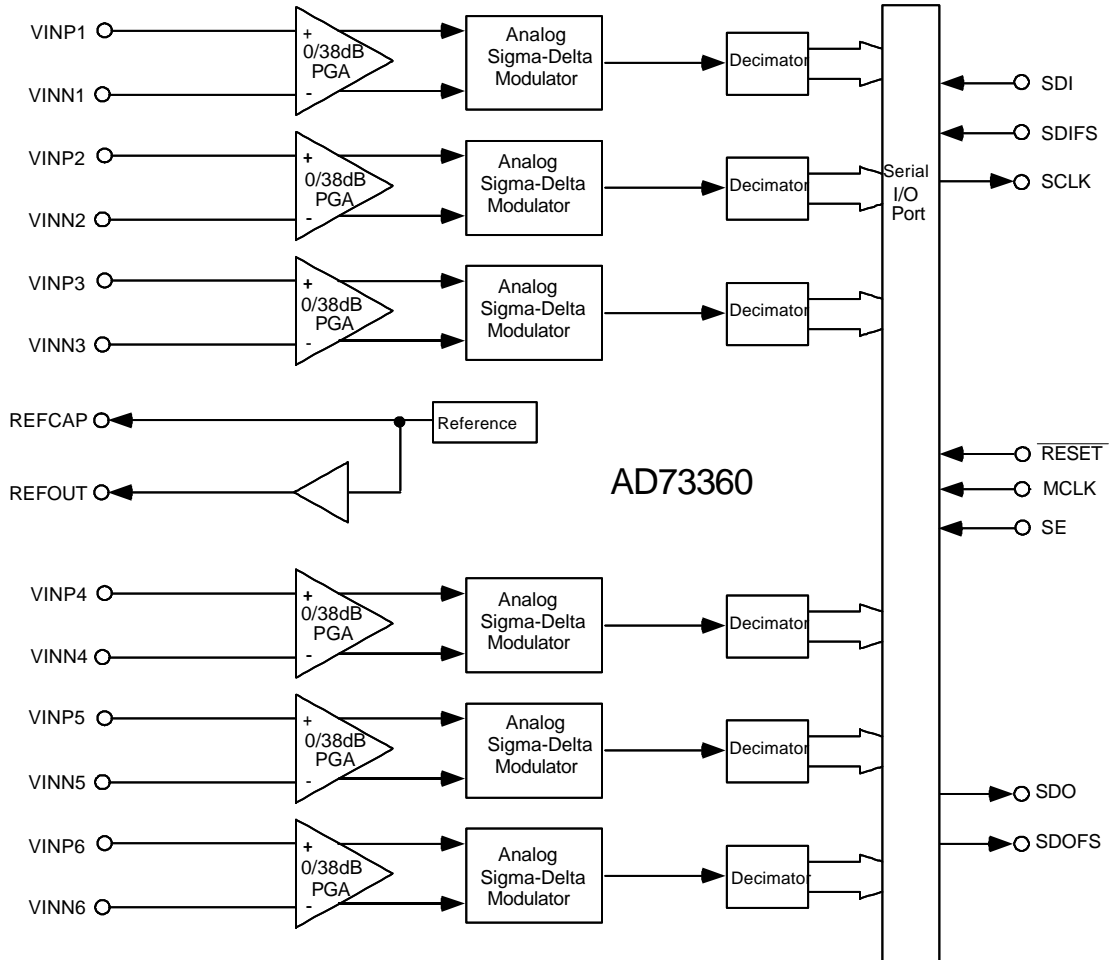
电话:(86)(027)87493500~87493506

P&S网网址:<http://www.p8s.com>

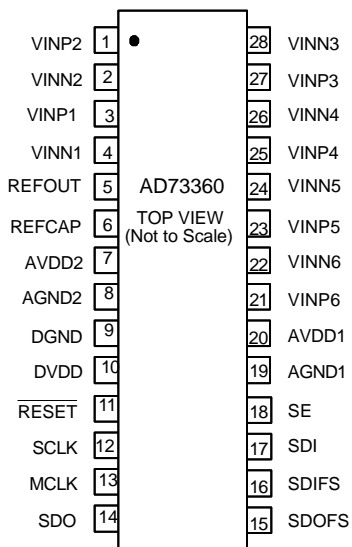
邮编:430079

传真:(86)(027)87491166,87493497

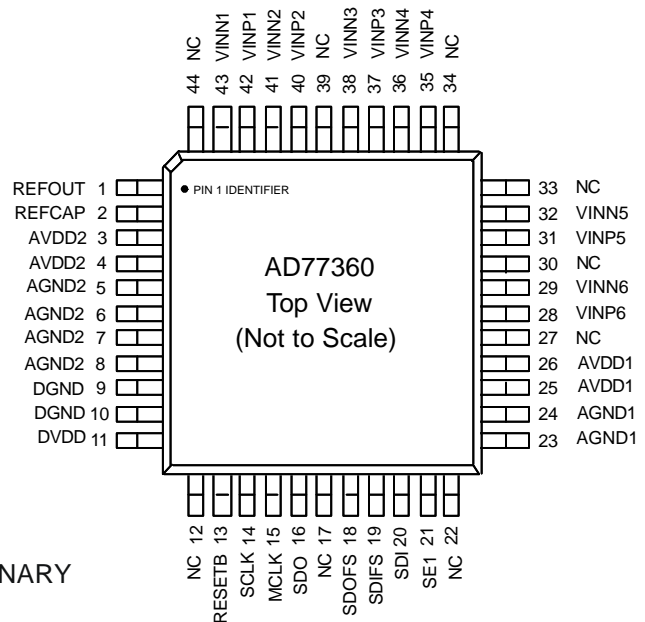
1.4 功能方框图



1.5 引脚排列及说明



PRELIMINARY



P&S 武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编:430079

传真:(86) (027) 87491166, 87493497

引脚功能说明

名称	功能说明
VINP1	输入通道1正端的模拟输入
VINN1	输入通道1负端的模拟输入
VINP2	输入通道2正端的模拟输入
VINN2	输入通道2负端的模拟输入
VINP3	输入通道3正端的模拟输入
VINN3	输入通道3负端的模拟输入
VINP4	输入通道4正端的模拟输入
VINN4	输入通道4负端的模拟输入
VINP5	输入通道5正端的模拟输入
VINN5	输入通道5负端的模拟输入
VINP6	输入通道6正端的模拟输入
VINN6	输入通道6负端的模拟输入
REFOUT	缓冲后的基准输出，其额定值为1.2V或2.4V，与位5VEN (CRC:7) 的状态有关
REFCAP	片内基准需要0.1 μ F 旁路电容连至AGND2。此电容应该固定在此脚
AVDD2	模拟电源连接端
AGND2	模拟地/基板连接端
DGND	数字地/基板连接端
DVDD	数字电源连接端
RESET	低电平有效的复位信号。该输入端可复位整块芯片，并复位控制寄存器和对数字电路清零
SCLK	输出串行时钟，其速率决定数据流入/流出串行传输速率。SCLK可用于将数据或控制信息随时钟送入或送出串行口 (SPORT)。SCLK的频率等于主时钟 (MCLK) 频率除以一个整数
MCLK	主时钟输入。MCLK由外部时钟信号驱动
SDO	串行数据输出。数据和控制信息均可在此脚输出并在SCLK的正边沿与时钟同步。当无信息被传送且SE为低电平时，SDO处于三态
SDOFS	SDO串行传输的帧信号输出。帧同步信号具有1位宽，它在每个输出字的第1位 (MSB) 前一个SCLK周期有效。SDOFS以SCLK的正边沿为基准。当SE为低电平时，SDOFS处于三态
SDIFS	SDI串行传输的帧信号输入。帧同步信号具有1位宽，它在每个输入字的第1位 (MSB) 前一个SCLK周期有效。SDIFS在SCLK的负边沿被采样。当SE为低电平时，忽略SDIFS
SDI	串行数据输入。数据和控制信息均可在此脚输入并在SCLK的负边沿与时钟同步。当SE为低电平时，忽略SDI
SE	SPORT的异步输入使能脚。当SE被DSP设置为低电平时，SPORT的输出脚为三态，而输入脚被忽略。为了降低功耗，可在内部禁止SCLK。当SE被拉为高电平时，SPORT的控制和数据寄存器处于起始值 (在SE变为低电平之前)，但是定时计数器和其它内部寄存器则处于复位值
AGND1	模拟地连接端
AVDD1	模拟电源连接端

P&S 武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱:武汉市70020信箱

邮编:430079

电话:(86) (027) 87493500 ~ 87493506

传真:(86) (027) 87491166, 87493497

1.6 订购资料

型号	温度范围	封装选项
AD73360AR	-40 至+85	R-28 ¹
AD73360AS	-40 至+85	R-44 ²
EVAL-AD73360EB	评估板 ³ +EZ-kit Lite升级版4	
EVAL-AD73360EZ	评估板 ³ +EZ-kit Lite ⁵	

注：1. R=0.3英寸SOIC封装

2. S=PQFP封装

3. AD73322的评估板具有可选择级联AD73360数目的特点（从1个到4个）。它可与ADSP-2181 EZ-KIT Lite或德州仪器的EVM套件接口。

4. 升级版包括一个用于EZKIT-Lite扩展口P3的接头。该选项只提供给当前EZ-KIT Lite的拥有者。

5. EV-KIT Lite可被修改，以便与AD73322的评估板接口。该选项可提供给还未拥有EZ-KIT Lite的用户。

二、特性

2.1 极限参数（除非另有说明， $T_A=+25$ ）*

AVDD、DVDD至GND	-0.3V至+7V
AGND至DGND	-0.3V至+0.3V
数字I/O电压至DGND	-0.3V至DVDD+0.3V
模拟I/O电压至AGND	-0.3V至AVDD+0.3V
工作温度范围	
工业级（A型）	-40 至+85
存储温度范围	-65 至+150
最大结温	+150
SOIC, J_A 热阻	75 /W
引线温度，焊接	
汽相（60秒）	+215
红外（15秒）	+220

* 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

P&S 武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>

邮编：430079

传真：(86) (027) 87491166, 87493497

2.2 电特性

(除非另有说明, AVDD=+3V ± 10%; DVDD=+3V ± 10%; DGND=AGND=0V, f_{MCLK}= 16.384MHz, Fs=64kHz; T_A=T_{MIN}至T_{MAX})

Parameter	AD73360A			Units	Test Conditions/Comments
	Min	Typ	Max		
REFERENCE					5VEN= 0
REFCAP					
Absolute Voltage, V _{REFCAP}	1.08	1.2	1.32	V	
REFCAPTC		50		ppm/ °C	0.1µF Capacitor Required from REFCAP to AGND2
REFOUT					
Typical Output Impedance		68		Ω	
Absolute Voltage, V _{REFOUT}	1.08	1.2	1.32	V	Unloaded
Minimum Load Resistance	1			kΩ	
Maximum Load Capacitance			100	pF	
ADC SPECIFICATIONS					
Maximum Input Range at VIN ^{2,3}			1.578 -2.85	Vp-p dBm	5VEN= 0, Measured Differentially
Nominal Reference Level at VIN (0 dBm0)		1.0954 -6.02		Vp-p dBm	5VEN= 0, Measured Differentially
Absolute Gain					
PGA= 0 dB	-0.75	0.1	+1.0	dB	1.0kHz, 0 dBm0
PGA= 38 dB	-1.5	-0.5	+0.5	dB	1.0kHz, 0 dBm0
Gain Tracking Error		±0.1		dB	1.0kHz, +3 dBm0 to -50 dBm0
Signal to (Noise + Distortion)					
PGA = 0 dB	70	76		dB	0 Hz to Fs/2; Fs = 8 kHz
PGA = 38 dB	61	65		dB	0 Hz to Fs/2; Fs = 16 kHz
Total Harmonic Distortion					0 Hz to Fs/2; Fs = 32 kHz
PGA= 0 dB		-83	-70	dB	0 Hz to Fs/2; Fs = 64 kHz
PGA= 38 dB		-83	-70	dB	0 Hz to Fs/2; Fs = 8 kHz
Intermodulation Distortion			-78	dB	PGA= 0 dB
Idle Channel Noise			-76	dBm0	PGA= 0 dB
Crosstalk ADC-to-ADC			TBD	dB	ADC1 Input Signal Level: 1.0kHz, 0 dBm0 ADC2 Input at Idle
DCOffset	-20	+15	+50	mV	PGA= 0 dB
Power Supply Rejection			-55	dB	Input Signal Level at AVDD and DVDD
Group Delay ^{4,5}		25		µs	Pins 1.0kHz, 100mVp-p Sine Wave
		TBD		µs	64 kHz Output Sample Rate
		TBD		µs	32 kHz Output Sample Rate
		TBD		µs	16 kHz Output Sample Rate
		TBD		µs	8 kHz Output Sample Rate
Input Resistance at VIN ^{2,4}		25		kΩ ⁶	DMCLK= 16.384MHz
FREQUENCYRESPONSE					
(ADC) ⁹ Typical Output					
Frequency (Normalised to Fs)					
0		0		dB	
0.03125		-0.1		dB	
0.0625		-0.25		dB	
0.125		-0.6		dB	
0.1875		-1.4		dB	
0.25		-2.8		dB	
0.3125		-4.5		dB	
0.375		-7.0		dB	
0.4375		-9.5		dB	
> 0.5		< -12.5		dB	

续上表

Parameter	AD73322A			Units	Test Conditions/Comments
	Min	Typ	Max		
LOGICINPUTS					
V _{INH} , Input High Voltage	V _{DD} - 0.8		V _{DD}	V	
V _{INL} , Input Low Voltage	0		0.8	V	
I _{IH} , Input Current			10	μA	
C _{IN} , Input Capacitance			10	pF	
LOGICOUTPUT					
V _{OH} , Output High Voltage	V _{DD} - 0.4		V _{DD}	V	I _O UT - 100μA
V _{OL} , Output Low Voltage	0		0.4	V	I _O UT - 100μA
Three-State Leakage Current	-10		+10	μA	
POWER SUPPLIES					
AVDD1, AVDD2	2.7		3.3	V	
DVDD	2.7		3.3	V	
I _{DD} ¹⁰					See Table I

注：1. 工作温度范围如下：-40 至+85 。因此，T_{MIN}=-40 而T_{MAX}=+85 。

2. 测试条件：输入PGA的增益设置为0dB（除非另有说明）。

3. 在ADC的 - 调制器的输入端。

4. 由设计保证。

5. 总的群延迟将受到采样速率和外部数字滤波的影响。

6. ADC的输入阻抗与DMCLK成反比，约为： $(4 \cdot 10^{11}) / \text{DMCLK}$ 。

9. ADC的频率响应在测量时用音频基准输入电平（此输入电平产生-10dBm0的输出电平），并且用38dB的前置放大器旁路，其输入增益为0dB。

10. 测试条件：在数字输入端无负载，模拟输入端交流耦合至地。

以上技术参数未经通知有权修改。

表1 电流小结 (AVDD=DVDD=+3.3V)

Conditions	Analog Current	Internal Digital Current	External Interface Current	Total Current (Max)	SE	MCLK ON	Comments
ADCs On Only	7	3	0.5	23	1	YES	REFOUT Disabled
All Sections On				TBD	1	YES	
REFCAP On Only	0.75	0	0	1.0	0	NO	REFOUT Disabled
REFCAP and REFOUT On Only	3.0	0	0	4.5	0	NO	
All Sections Off	0	0.85	0	1.0	0	YES	MCLK Active Levels Equal to 0 Vand DVDD
All Sections Off	0.00	0.007	0	0.04	0	NO	Digital Inputs Static and Equal to 0Vor DVDD

注：除非另有说明，上述数值均为典型值，单位为mA。

P&S 武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

P&S网网址：http://www.p8s.com

信箱：武汉市70020信箱

邮编：430079

电话：(86) (027) 87493500 ~ 87493506

传真：(86) (027) 87491166, 87493497

2.3 电特性

(除非另有说明, AVDD=+5V ± 10%; DVDD=+5V ± 10%; DGND=AGND=0V, f_{MCLK}= 16.384MHz, Fs=64kHz; T_A=T_{MIN}至T_{MAX})

Parameter	AD73360A			Units	Test Conditions/Comments
	Min	Typ	Max		
REFERENCE					
REFCAP					
Absolute Voltage, V _{REFCAP}		1.2		V	5VEN = 0
		2.4		V	5VEN = 1
REFCAPTC		50		ppm/°C	0.1µF Capacitor Required from REFCAP to AGND2
REFOUT					
Typical Output Impedance		68		Ω	
Absolute Voltage, V _{REFOUT}		1.2		V	5VEN = 0, Unloaded
		2.4		V	5VEN = 1, Unloaded
Minimum Load Resistance	2			kΩ	5VEN = 1
Maximum Load Capacitance			100	pF	
ADC SPECIFICATIONS					
Maximum Input Range at VIN ^{2,3}		3.156		Vp-p	5VEN = 1, Measured Differentially
		3.17		dBm	
Nominal Reference Level at VIN (0 dBm0)		2.1908		Vp-p	5VEN = 1, Measured Differentially
		0		dBm	
Absolute Gain					
PGA = 0 dB		0.1		dB	1.0kHz, 0 dBm0
PGA = 38 dB		-0.5		dB	1.0kHz, 0 dBm0
Gain Tracking Error		±0.1		dB	1.0kHz, +3 dBm0 to -50 dBm0
Signal to (Noise + Distortion) PGA = 0 dB	70	76		dB	0 Hz to Fs/2; Fs = 8 kHz
				dB	0 Hz to Fs/2; Fs = 16 kHz
				dB	0 Hz to Fs/2; Fs = 32 kHz
				dB	0 Hz to Fs/2; Fs = 64 kHz
				dB	0 Hz to Fs/2; Fs = 8 kHz
PGA = 38 dB	61	65		dB	
Total Harmonic Distortion					
PGA = 0 dB		-76		dB	
PGA = 38 dB		-69		dB	
Intermodulation Distortion		-69		dB	PGA = 0 dB
Idle Channel Noise		-67		dBm0	PGA = 0 dB
Crosstalk ADC-to-ADC		TBD		dB	ADC1 Input Signal Level: 1.0kHz, 0 dBm0 ADC2 Input at Idle
DC Offset		+20		mV	PGA = 0 dB
Power Supply Rejection		-55		dB	Input Signal Level at AVDD and DVDD Pins 1.0kHz, 100mVp-p Sine Wave
Group Delay ^{4,5}		25		µs	64kHz Output Sample Rate
		TBD		µs	32kHz Output Sample Rate
		TBD		µs	16kHz Output Sample Rate
		TBD		µs	8kHz Output Sample Rate
Input Resistance at VIN ^{2,4}		25		kΩ ⁶	DMCLK = 16.384 MHz
FREQUENCY RESPONSE					
(ADC) ⁹ Typical Output Frequency (Normalised to Fs)					
0		0		dB	
0.03125		-0.1		dB	
0.0625		-0.25		dB	
0.125		-0.6		dB	
0.1875		-1.4		dB	
0.25		-2.8		dB	
0.3125		-4.5		dB	
0.375		-7.0		dB	
0.4375		-9.5		dB	
> 0.5		< -12.5		dB	

P&S 武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493497

续上表

Parameter	AD73322A			Units	Test Conditions/Comments
	Min	Typ	Max		
LOGIC INPUTS					
V _{INH} , Input High Voltage	V _{DD} -0.8		V _{DD}	V	
V _{INL} , Input Low Voltage	0		0.8	V	
I _{IH} , Input Current		-0.5		μA	
C _{IN} , Input Capacitance		10		pF	
LOGIC OUTPUT					
V _{OH} , Output High Voltage	V _{DD} -0.4		V _{DD}	V	I _{OUT} ≤ 100μA
V _{OL} , Output Low Voltage	0		0.4	V	I _{OUT} ≤ 100μA
Three-State Leakage Current		-0.3		μA	
POWER SUPPLIES					
AVDD1, AVDD2	4.5		5.5	V	
DVDD	4.5		5.5	V	
I _{DD} ¹⁰					See Table II

注：1. 工作温度范围如下：-40 至+85 。因此，T_{MIN}=-40 而T_{MAX}=+85 。

2. 测试条件：输入PGA的增益设置为0dB（除非另有说明）。
3. 在ADC的 - 调制器的输入端。
4. 由设计保证。
5. 总的群延迟将受到采样速率和外部数字滤波的影响。
6. ADC的输入阻抗与DMCLK成反比，约为： $(4 \times 10^{11}) / \text{DMCLK}$ 。
9. ADC的频率响应在测量时用音频基准输入电平（此输入电平产生-10dBm0的输出电平），并且用38dB的前置放大器旁路，其输入增益为0dB。
10. 测试条件：在数字输入端无负载，模拟输入端交流耦合至地。

以上技术参数未经通知有权修改。

表2 电流小结 (AVDD=DVDD=+5.5V)

Conditions	Analog Current	Internal Digital Current	External Interface Current	Total Current	SE	MCLK ON	Comments
ADC On Only	8.5	6	2	33.0	1	YES	REFOUT Disabled
All Sections On				TBD	1	YES	
REFCAP On Only	0.8	0	0	0.8	0	NO	REFOUT Disabled
REFCAP and REFOUT On Only	3.5	0	0	3.5	0	NO	
All Sections Off	0	1.5	0	1.5	0	YES	MCLK Active Levels Equal to 0 Vand DVDD
All Sections Off	0	0.01	0	0.01	0	NO	Digital Inputs Static and Equal to 0 Vor DVDD

注：除非另有说明，上述数值均为典型值，单位为mA。

表3 信号范围

	3V电源	5V电源	
	5VEN=0	5VEN=0	5VEN=1
V _{REFCAP}	1.2V ± 10%	1.2V	2.4V
V _{REFOUT}	1.2V ± 10%	1.2V	2.4V
ADC V _{IN} 的最大输入范围	1.578Vp-p	1.578Vp-p	3.156Vp-p
额定基准电平	1.0954Vp-p	1.0954Vp-p	2.1908Vp-p

2.4 时序特性

(AVDD=+3V ± 10% ; DVDD=+3V ± 10% ; AGND=DGND=0V , T_A=T_{MIN}至T_{MAX} , 除非另有说明)

Parameter	Limit at T _A = -40°C to +85°C	Units	Description
Clock Signals			See Figure 1
t ₁	61	ns min	MCLK Period
t ₂	24.4	ns min	MCLK Width High
t ₃	24.4	ns min	MCLK Width Low
Serial Port			See Figures 3 and 4
t ₄	t ₁	ns min	SCLK Period
t ₅	0.4 * t ₁	ns min	SCLK Width High
t ₆	0.4 * t ₁	ns min	SCLK Width Low
t ₇	20	ns min	SDI/SDIFS Setup Before SCLK Low
t ₈	0	ns min	SDI/SDIFS Hold After SCLK Low
t ₉	10	ns max	SDOFS Delay From SCLK High
t ₁₀	10	ns min	SDOFS Hold After SCLK High
t ₁₁	10	ns min	SDO Hold After SCLK High
t ₁₂	10	ns max	SDO Delay From SCLK High
t ₁₃	30	ns max	SCLK Delay from MCLK

2.5 时序特性

(AVDD=+5V ± 10% ; DVDD=+5V ± 10% ; AGND=DGND=0V , T_A=T_{MIN}至T_{MAX} , 除非另有说明)

Parameter	Limit at T _A = -40°C to +85°C	Units	Description
Clock Signals			See Figure 1
t ₁	61	ns min	MCLK Period
t ₂	24.4	ns min	MCLK Width High
t ₃	24.4	ns min	MCLK Width Low
Serial Port			See Figures 3 and 4
t ₄	t ₁	ns min	SCLK Period
t ₅	0.4 * t ₁	ns min	SCLK Width High
t ₆	0.4 * t ₁	ns min	SCLK Width Low
t ₇	20	ns typ	SDI/SDIFS Setup Before SCLK Low
t ₈	0	ns typ	SDI/SDIFS Hold After SCLK Low
t ₉	10	ns typ	SDOFS Delay From SCLK High
t ₁₀	10	ns typ	SDOFS Hold After SCLK High
t ₁₁	10	ns typ	SDO Hold After SCLK High
t ₁₂	10	ns typ	SDO Delay From SCLK High
t ₁₃	30	ns typ	SCLK Delay from MCLK

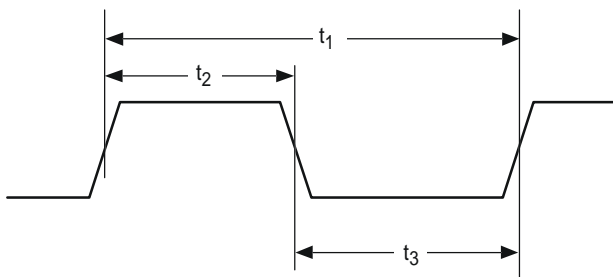


图1 MCLK时序

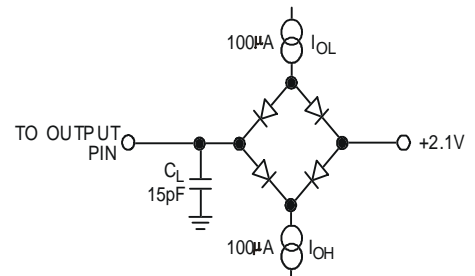
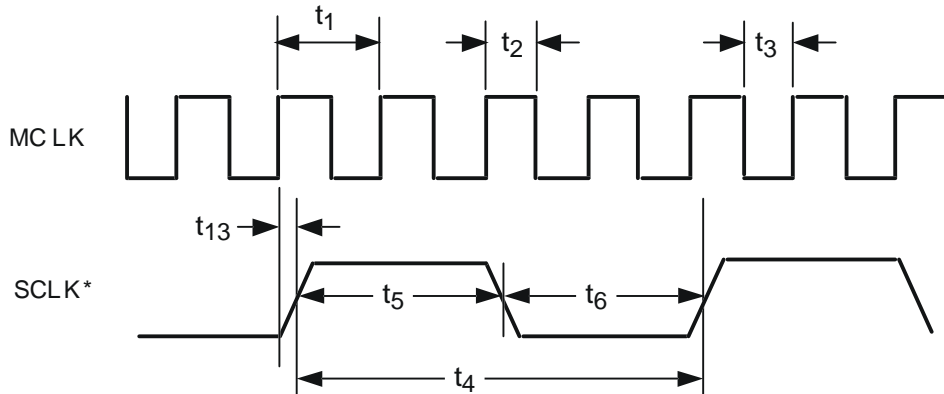


图2 定时特性的负载电路



*SCLK IS INDIVIDU ALLY PROGRAMMABLE IN FREQUENCY(MCLK/4 SHOWN HERE).

图3 SCLK时序

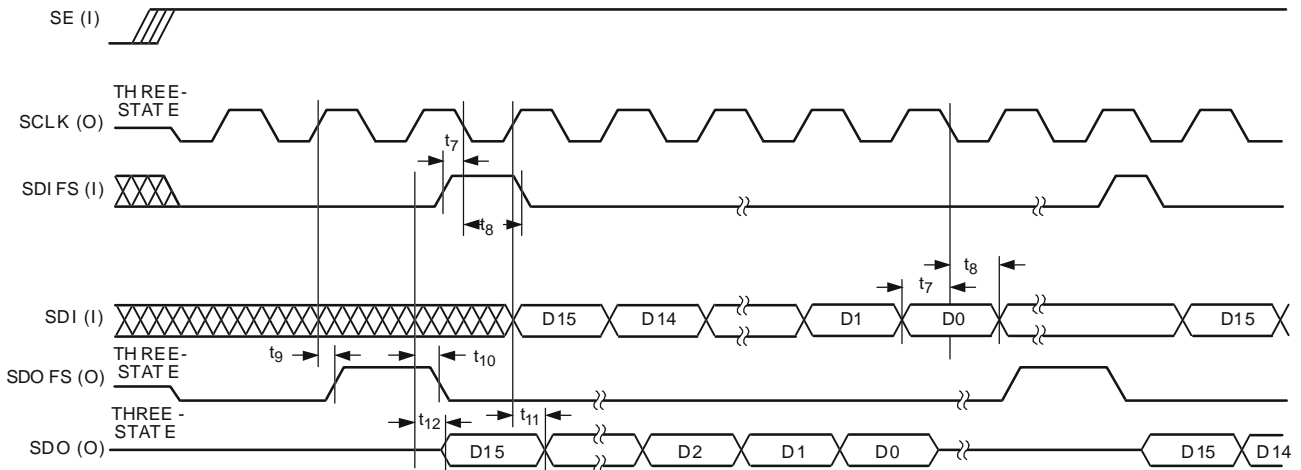


图4 串口 (SPORT)

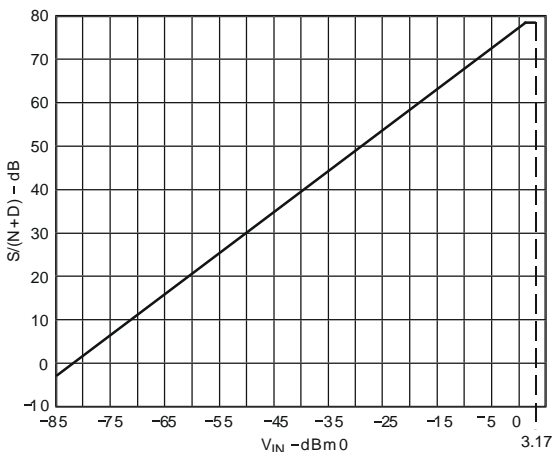


图5a 在声频信号带宽(300Hz-3.4kHz)范围内S/(N+D)和VIN(ADC@3V)的关系

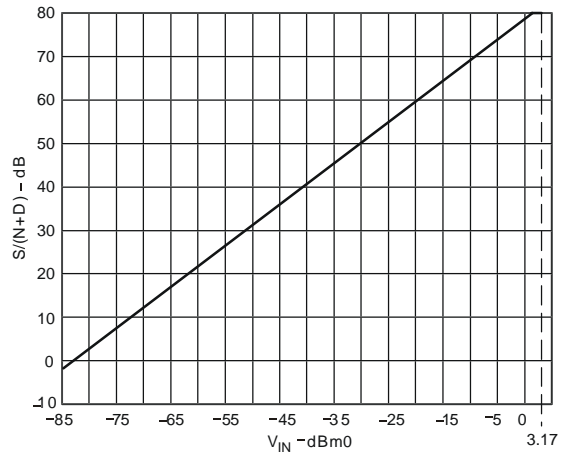


图5b 在声频信号带宽(300Hz-3.4kHz)范围内S/(N+D)和VIN(ADC@5V)的关系

三、详细说明

3.1 缩略语

- ADC** 模数转换器
- ALB** 模拟环路
- BW** 带宽
- CRx** 控制寄存器，其中x是英文字母。AD73322有5个读/写控制寄存器——从CRA到CRE。
- CRx:n** 控制寄存器内位的位置，其中n是数字字符（0-7），x是英文字母（A-E）。位置7表示MSB，而位置0表示LSB。
- DLB** 数字环路。
- DMCLK** 器件（内部）的主时钟。内部主时钟由外部主时钟（MCLK）被片内主时钟除而产生。
- FSLB** 帧同步环路——其中级联的最后一个器件的SDOFS连至DSP的RFS和TFS以及级联的第一个器件的SDIFS。数据输入和输出同时发生。在没有FSLB的情况下，SDOFS和SDO连至DSP的Rx口，同时，SDIFS和SDI连至DSP的Tx口。
- PGA** 可编程增益放大器
- SC** 开关电容
- SNR** 信噪比
- SPORT** 串行口
- THD** 总谐波失真
- VBW** 声频带宽

3.2 控制寄存器说明

表4 控制寄存器映射

地址（二进制）	名称	说明	类型	宽度	复位设置（十六进制）
000	CRA	控制寄存器A	R/W	8	0x00
001	CRB	控制寄存器B	R/W	8	0x00
010	CRC	控制寄存器C	R/W	8	0x00
011	CRD	控制寄存器D	R/W	8	0x00
100	CRE	控制寄存器E	R/W	8	0x00
101	CRF	控制寄存器F	R/W	8	0x00

表5 控制字说明

控制位	帧	说明
位15	控制/数据	当设置为高电平时，该位表示在程序方式或程序/数据混合方式中的控制字。当设置为低电平时，该位表示在程序/数据混合方式中的数据字或在程序方式中的无效控制字
位14	读/写	当设置为低电平时，如果地址域为零，该位通知器件数据域将被写入由寄存器域选择的寄存器中。当设置为高电平时，该位通知器件被选择的寄存器将被写入输入串行寄存器中的数据域，而新的控制字将通过串行输出端从器件输出
位13-11	器件地址	这3位域保存地址信息。只有当此地址域为零时器件才被选择。如果地址不为零，那么它就减1并且控制字通过串行输出从器件传出
位10-8	寄存器地址	这3位用来选择AD73322的五个控制寄存器中的一个
位7-0	寄存器数据	如果地址域为零，那么这8位将保存写入或从被选寄存器中读出的数据

表6 控制寄存器A的说明

位	名称	说 明
0	DATA/PGM	工作方式 (0=程序方式; 1=数据方式)
1	MM	混合方式 (0=关闭; 1=使能)
2	DLB	数字环路方式 (0=关闭; 1=使能)
3	SLB	SPORT环路方式 (0=关闭; 1=使能)
4	DC0	器件计数 (位0)
5	DC1	器件计数 (位1)
6	DC2	器件计数 (位2)
7	RESET	软件复位 (0=关闭; 1=开始复位)

表7 控制寄存器B的说明

位	名称	说 明
0	DIR0	取样/内插率 (位0)
1	DIR1	取样/内插率 (位1)
2	SCD0	串行时钟分频系数 (位0)
3	SCD1	串行时钟分频系数 (位1)
4	MCD0	主时钟分频系数 (位0)
5	MCD1	主时钟分频系数 (位1)
6	MCD2	主时钟分频系数 (位2)
7	CEE	控制回应使能 (0=关闭; 1=使能)

表8 控制寄存器C的说明

位	名称	说 明
0	PU	上电器件 (0=掉电; 1=上电)
1	Reserved	必须设置为零 (0)
2	Reserved	必须设置为零 (0)
3	Reserved	必须设置为零 (0)
4	Reserved	必须设置为零 (0)
5	PUREF	REF电源 (0=掉电; 1=上电)
6	RU	REFOUT的使用 (0=禁止REFOUT; 1=使能REFOUT)
7	5VEN	使能5V工作方式 (0=禁止5V方式; 1=使能5V方式)

表9 控制寄存器D的说明

位	名称	说 明
0	IGADC1-0	ADC1: 输入增益选择 (位0)
1	IGADC1-1	ADC1: 输入增益选择 (位1)
2	IGADC1-2	ADC1: 输入增益选择 (位2)
3	PUADC1	电源控制 (ADC1); 1=开, 0=关
4	IGADC2-0	ADC2: 输入增益选择 (位0)
5	IGADC2-1	ADC2: 输入增益选择 (位1)
6	IGADC2-2	ADC2: 输入增益选择 (位2)
7	PUADC2	电源控制 (ADC2); 1=开, 0=关

P&S 武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493497

表10 控制寄存器E的说明

位	名称	说 明
0	IGADC3-0	ADC3：输入增益选择（位0）
1	IGADC3-1	ADC3：输入增益选择（位1）
2	IGADC3-2	ADC3：输入增益选择（位2）
3	PUADC3	电源控制（ADC3）；1=开，0=关
4	IGADC4-0	ADC4：输入增益选择（位0）
5	IGADC4-1	ADC4：输入增益选择（位1）
6	IGADC4-2	ADC4：输入增益选择（位2）
7	PUADC4	电源控制（ADC4）；1=开，0=关

表11 控制寄存器F的说明

位	名称	说 明
0	IGADC5-0	ADC5：输入增益选择（位0）
1	IGADC5-1	ADC5：输入增益选择（位1）
2	IGADC5-2	ADC5：输入增益选择（位2）
3	PUADC5	电源控制（ADC5）；1=开，0=关
4	IGADC6-0	ADC6：输入增益选择（位0）
5	IGADC6-1	ADC6：输入增益选择（位1）
6	IGADC6-2	ADC6：输入增益选择（位2）
7	PUADC6	电源控制（ADC6）；1=开，0=关